

CLAMP CIRCUIT AND SYNCHRONIZING SEPARATOR CIRCUIT USING THE CIRCUIT

Publication number: JP10013712

Publication date: 1998-01-16

Inventor: OOO KATSUHISA; TSUBAKI AKIHIRO; MANO KENICHI; NISHI TSUYOTOSHI

Applicant: SONY CORP

Classification:

- international: *H04N5/08*

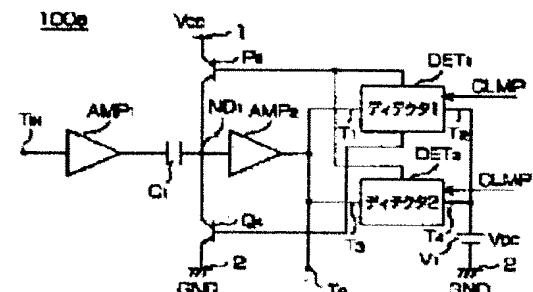
- European:

Application number: JP19960189386 19960718

Priority number(s): JP19960189386, 19960718; JP19960107867, 19960426

Abstract of JP10013712

PROBLEM TO BE SOLVED: To realize a synchronizing separator circuit in which production of jitter is suppressed, its capacitor is built in an IC by decreasing the capacitance of the capacitor, the number of IC terminals is reduced, the circuit configuration is simplified and the power consumption is reduced. **SOLUTION:** A detector DET1 operated for an active period of a clamp pulse CLMP and a clamp pulse detector DET2 operated for an inactive period of the clamp pulse CLMP are provided to the synchronizing separator circuit. When no synchronizing signal is inputted, the detector DET2 clamps the output level of the clamp circuit to be a clamp DC voltage VDC. When the synchronizing signal is inputted, the detector DET1 is used to set a level at an output terminal TS to the clamp DC voltage VDC. Then a leakage adjustment section 10 suppresses the occurrence of a horizontal sag, then the generation of jitter is suppressed and the capacitance of a capacitor C1 is reduced and the capacitor is built in an IC and the number of terminals of the IC is decreased.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-13712

(43) 公開日 平成10年(1998)1月16日

(51) Int.Cl.⁸
H 0 4 N 5/16
5/08

識別記号 庁内整理番号

厅内整理番号

F I
H O 4 N 5/16
5/08

技術表示箇所

審査請求 未請求 請求項の数 5 O.L. (全 9 頁)

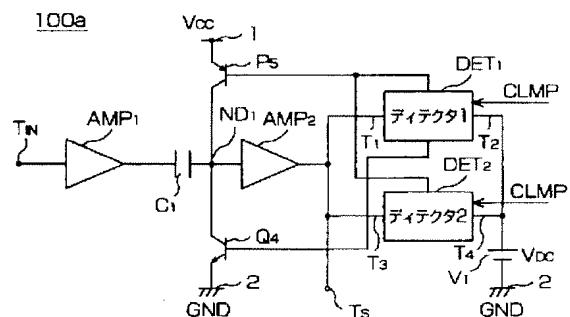
(21)出願番号	特願平8-189386	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成8年(1996)7月18日	(72)発明者	大尾 桂久 鹿児島県国分市野口北5番1号 ソニー国 分株式会社内
(31)優先権主張番号	特願平8-107867	(72)発明者	椿 昭浩 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(32)優先日	平8(1996)4月26日	(72)発明者	真野 憲一 鹿児島県国分市野口北5番1号 ソニー国 分株式会社内
(33)優先権主張国	日本 (JP)	(74)代理人	弁理士 佐藤 隆久

(54) 【発明の名称】 クランプ回路およびそれを用いた同期分離回路

(57) 【要約】

【課題】 ジッターの発生を抑制でき、キャパシタの容量を小さくすることによりキャパシタを IC 内蔵でき、IC の端子数を削減でき、回路の構成を簡単化でき、消費電力の低減を図れる同期分離回路を実現する。

【解決手段】 クランプパルスCLMPのアクティブ期間中に動作するディテクタDET₁とクランプパルスCLMPの非アクティブ期間中に動作するディテクタDET₂を設け、同期信号が入力されていないとき、ディテクタDET₂によりクランプ回路の出力レベルをクランプ直流電圧V_{DC}に設定し、同期信号が入力されたとき、ディテクタDET₁により出力端子T_Sのレベルをクランプ直流電圧V_{DC}に設定し、リーク調整部10により水平サグの発生を抑制するので、ジッターの発生を抑制でき、キャパシタC₁を小さくでき、キャパシタをICに内蔵でき、ICの端子数を削減できる。



【特許請求の範囲】

【請求項1】 主信号と当該主信号とは異なるレベルにある同期信号を含む複合信号に、上記同期信号を分離するための直流電圧を入力ノードのレベルに基づきクランプした出力信号を得る第1の回路と、

複合信号の入力状態に応じて、上記入力ノードのレベルをあらかじめ設定した基準レベルに調整する第2の回路とを有するクランプ回路。

【請求項2】 上記第2の回路は、上記複合信号の入力期間中に、上記入力ノードのレベルが上記基準レベル以下のとき、当該基準レベルまで上昇させ、上記基準レベル以上のとき、当該基準レベルまで降下させる第1のレベル調整回路と、

上記複合信号の無入力期間中に、上記入力ノードのレベルが上記基準レベル以下のとき、当該入力ノードのレベルを上記基準レベルに保持する第2のレベル調整回路とを有する請求項1記載のクランプ回路。

【請求項3】 上記複合信号の入力端子と上記入力ノードとの間に接続されたキャパシタを有し、上記第1の回路は、一方の入力端子が上記入力ノードに接続され、他方の入力端子がクランプ回路の出力端子に接続された第1の差動增幅回路からなり、

上記第1のレベル調整回路は、一方の入力端子が上記出力端子に接続され、他方の入力端子が基準電圧源に接続された第2の差動增幅回路からなり、

上記第2のレベル調整回路は、一方の入力端子が上記出力端子に接続され、他方の入力端子が上記基準電圧源に接続された第3の差動增幅回路からなる請求項2記載のクランプ回路。

【請求項4】 上記入力ノードに接続され、当該入力ノードに上記第1の差動增幅回路を構成するトランジスタのベース電流に相当する電流を供給する電流供給回路とを有する請求項3記載のクランプ回路。

【請求項5】 請求項2に記載のクランプ回路と、上記クランプ回路により得た出力信号と所定の電圧レベルとを比較し、比較結果に応じて当該出力信号から同期信号を分離する比較手段と、

上記比較手段による出力信号に基づき、上記クランプ回路の第1のレベル調整回路と第2のレベル調整回路とを相互に動作状態と停止状態に保持する制御信号を上記クランプ回路に出力する制御信号生成手段とを有する同期分離回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、テレビジョン受信機などに用いられるクランプ回路およびそれを用いた同期分離回路に関するものである。

【0002】

【従来の技術】 テレビジョン受信機などにおいて、映像検波器の出力には、映像信号と同期信号が一体化した信

号、いわゆる複合映像信号（コンポジット信号）が得られる。この複合映像信号から同期信号を分離し、同期信号を生成するために、クランプ回路、比較回路（コンパレータ）などによって構成された同期分離回路が用いられる。

【0003】 一般的に、複合映像信号の同期分離に用いられているクランプ回路では、ダイオードクランプが多用されている。ダイオードクランプの時定数を長くすると垂直同期サグ（歪み）が発生し、時定数を短くすると水平同期サグが発生する。

【0004】 図5はクランプ回路に垂直サグおよび水平サグが発生した場合の同期信号の波形を示す図である。図5において、 V_{DC} はクランプ直流電圧、 V_{TH} は基準電圧をそれぞれ示している。また、図5(a)は理想的な時定数の場合の同期信号の波形を示し、図5(b)は垂直サグが発生した場合の同期信号の波形を示し、図5(c)は水平サグが発生したときの同期信号の波形を示している。

【0005】 図5(a)に示すように、クランプ回路では、クランプ直流電圧 V_{DC} に対して、コンパレータの基準電圧 V_{TH} が設けられて、同期パルス（シンクパルス）が発生される。時定数を大きくすると、垂直サグが発生する。垂直サグが出ると図5(b)に示す様に、同期信号に対して V_{TH} がずれるため、同期信号の立ち下がり、立ち上がりの傾きの分だけ、クランプ回路により分離された同期信号には遅延が生じてしまう。これにより、同期信号の周期が不安定な状態になり、すなわち、同期信号がゆれると画像表示装置の表示画面にジッター（画像の水平方向揺れ）となって現われる。

【0006】 垂直サグをなくすため、時定数を小さくすると、図5(c)の様に水平サグが大きくなる。水平サグが大きくなると図5(c)の点線の様に、入力シンク縮み、すなわち、入力同期信号が縮んだ時（実際の場合、-7dBまで入力同期信号は縮む可能性がある）クランプ回路のペデスタイルレベルが割り込んでしまい（または同期信号の先端部が水平サグで V_{TH} を越え）同期分離エラーが生じてしまう。そこで両者の妥協点で設定していったため、ジッター特性が良くなかった。

【0007】 また、同期式クランプを使用することも考えられるがこの場合ICに対して容量接合用の入出力ピンをそれぞれ設ける必要があるという欠点があった。このため、ジッター、入力シンク縮み等に対して求められる特性を得ることができる、いわゆるダブルクランプ回路が提案されている。

【0008】 ここで、一般的に同期分離に使用されているダブルクランプ回路の一例を示し、その動作について説明する。図6はダブルクランプ回路の一例を示す回路図である。図6において、110はローパスフィルタ、100、101はクランプ回路、120、121はコンパレータ、130はパルス発生回路、 C_{S1} 、 C_{S2} はキャ

バシタ、 V_{S1} 、 V_{S2} は定電圧源、 T_{IN} は入力端子、 T_{OUT} は出力端子をそれぞれ示している。

【0009】入力端子 T_{IN} に複合映像信号が入力され、ローパスフィルタ110によって、複合映像信号内の高周波成分が除去される。そして、ローパスフィルタ110の出力信号が、キャパシタ C_{S1} 、 C_{S2} を介してそれぞれクランプ回路100、101に入力される。定電圧源 V_{S1} によって、クランプ回路100、101に、クランプ直流電圧 V_{DC} が供給され、また、定電圧源 V_{S2} によって、コンパレータ120、121に基準電圧 V_{TH} がそれぞれ供給されている。クランプ回路100、101により、複合映像信号内の同期信号が分離され、さらにコンパレータ120、121により、分離された同期信号と基準電圧 V_{TH} とが比較され、その結果に応じてシンクパルスSPが発生される。パルス発生回路130によって発生されたクランプパルスCLMPがクランプ回路101に供給され、クランプ回路101およびコンパレータ121により、精度の高いシンクパルスSPが発生され、出力端子 T_{OUT} に出力される。

【0010】図示のように、従来型のダブルクランプ回路においては、キャパシタ C_{S1} 、クランプ回路100、コンパレータ120により第1の同期回路が構成され、さらに、キャパシタ C_{S2} 、クランプ回路101、コンパレータ121により第2の同期回路が構成されている。第1の同期回路により、ラフにクランプが行われる。このため、この第1の同期回路はダイオードクランプでも良い。そしてキャパシタ C_{S1} を介して入力された複合映像信号に対して、この第1の同期回路によって同期分離が行われ、分離された同期信号を使用して、パルス発生回路130によりクランプパルスCLMPが生成され、第2の同期回路のクランプ回路101に入力される。

【0011】第1のクランプ回路から得られたクランプパルスCLMPを用いて、キャパシタ C_{S2} 、クランプ回路101およびコンパレータ121により構成された第2の同期回路によって同期クランプが行われる。同期クランプなので垂直サグ、水平サグがほとんどなく、必要とされた同期信号の精度を得ることができる。

【0012】

【発明が解決しようとする課題】ところで、上述した従来のダブルクランプ回路においては、通常型の同期クランプとなるため、キャパシタ C_{S2} の容量値が大きく、たとえば、 $0.1\mu F \sim 1\mu F$ 、キャパシタ C_{S2} をIC外で使用する必要がある。また、クランプパルスCLMPと、キャパシタ C_{S2} を通る信号系の遅延時間を考慮すると、($C_{S1}=C_{S2}$)とする必要もあるため、回路構成が複雑なり、回路規模も大きくなってしまうという問題がある。

【0013】本発明は、かかる事情に鑑みてなされたものであり、その目的は、同期信号の歪みによるジッターの発生を抑制でき、入力信号のシンク縮みに影響され

ず、入力同期信号に対して出力信号の遅延差が一定に保持でき、使用する容量素子を小さくでき、ICに内蔵できることはもとより、ICの端子数を削減でき、回路構成を簡単化でき、消費電力の低減を図れるクランプ回路およびそれを用いた同期分離回路を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明は、主信号と当該主信号とは異なるレベルにある同期信号を含む複合信号に、上記同期信号を分離するための直流電圧を入力ノードのレベルに基づきクランプした出力信号を得る第1の回路と、複合信号の入力状態に応じて、上記入力ノードのレベルをあらかじめ設定した基準レベルに調整する第2の回路とを有する。

【0015】また、本発明では、上記第2の回路は、上記複合信号の入力期間中に、上記入力ノードのレベルが上記基準レベル以下のとき、当該基準レベルまで上昇させ、上記基準レベル以上のとき、当該基準レベルまで低下させる第1のレベル調整回路と、上記複合信号の無入力期間中に、上記入力ノードのレベルが上記基準レベル以下のとき、当該入力ノードのレベルを上記基準レベルに保持する第2のレベル調整回路とを有する。

【0016】さらに、本発明では、クランプ回路と、上記クランプ回路により得た出力信号と所定の電圧レベルとを比較し、比較結果に応じて当該出力信号から同期信号を分離する比較手段と、上記比較手段による出力信号に基づき、上記クランプ回路の第1のレベル調整回路と第2のレベル調整回路とを相互に動作状態と停止状態に保持する制御信号を上記クランプ回路に出力する制御信号生成手段とを有する。

【0017】本発明によれば、クランプ回路の第1の回路により、複合信号入力ノードのレベルに応じて所定の直流電圧にクランプされた同期信号が出力され、また、第2の回路により、入力ノードのレベルがあらかじめ設定された基準レベルに調整される。たとえば、第2の回路に第1と第2のレベル調整回路が設けられ、同期信号の入力期間中に、第1のレベル調整回路が動作状態に設定され、クランプ回路の出力ノードのレベルが基準レベル以下のとき、基準レベルまで上げられ、出力ノードのレベルが基準レベル以上のとき、基準レベルまで下げられる。同期信号以外の複合信号の入力または無信号入力期間中には、第2のレベル調整回路が動作状態に設定され、入力ノードのレベルが所定の基準レベル以下のとき、当該基準レベルまで上げられる。これにより、クランプ回路から基準レベルにクランプされた同期信号が出力される。

【0018】また、クランプ回路の出力信号に基づき、比較回路により同期信号が分離され、分離された同期信号が出力される。また、出力された同期信号によりクランプ回路を構成する第1と第2のレベル調整回路が相互

に動作と停止状態に制御される。この結果、入力ノードに入力された複合信号の直流レベルの変動に影響されず、クランプ回路により所定の直流電圧にクランプされた同期信号が得られ、ジッターの発生を抑制できる。さらに、複合信号の入力ノードに設けられたキャパシタの容量を低減できることにより、キャパシタをICに内蔵でき、回路の構成を簡単化できる。

【0019】

【発明の実施の形態】

第1実施形態

図1は、本発明に係るクランプ回路100aの一実施形態を示す回路図である。図1において、AMP₁、AMP₂は増幅器、C₁がキャパシタ、P₅はpnp型トランジスタ、Q₄はnpn型トランジスタ、DET₁、DET₂はディテクタ、V₁は定電圧源、1は電源電圧V_{CC}の供給線、2は接地線、T_{IN}は入力端子、T_Sは出力端子をそれぞれ示している。なお、ここで、トランジスタP₅、Q₄とディテクタDET₁、DET₂によりオフセット調整回路（レベル調整回路）が構成され、このオフセット調整回路によりノードND₁および出力端子T_Sのレベルが定電圧源V₁により設定されたクランプ直流電圧V_{DC}に調整される。

【0020】入力端子T_{IN}が増幅器AMP₁の入力端子に接続され、増幅器AMP₁の出力端子がキャパシタC₁を介してノードND₁に接続されている。ノードND₁と電源電圧V_{CC}の供給線1との間にトランジスタP₅が接続され、ノードND₁と接地線2との間にトランジスタQ₄が接続されている。トランジスタP₅のエミッタは電源電圧V_{CC}の供給線1に接続され、ベースはディテクタDET₁に接続され、コレクタがノードND₁に接続されている。また、トランジスタQ₄のコレクタがノードND₁に接続され、トランジスタQ₄のエミッタが接地線2に接続され、ベースがディテクタDET₂に接続されている。このように、トランジスタP₅、Q₄およびディテクタDET₁、DET₂により、オフセット調整回路を構成し、ノードND₁の電位V_{ND1}および出力端子T_Sの電位V_Sを定電圧源V₁により設定されたクランプ直流電圧V_{DC}に調整する。

【0021】増幅器AMP₂の入力端子がノードND₁に接続され、増幅器AMP₂の出力端子がクランプ回路の出力端子T_Sに接続され、また、増幅器AMP₂の出力端子がディテクタDET₁の入力端子T₁に接続され、ノードND₁がディテクタDET₂の入力端子T₃に接続されている。さらに、ディテクタDET₁、DET₂の入力端子T₂、T₄がそれぞれ定電圧源V₁に接続され、これによりクランプ直流電圧V_{DC}が供給されている。

【0022】ディテクタDET₁は、たとえば、差動入力端子T₁、T₂を有する差動増幅回路によって構成され、一方の差動入力端子T₁が増幅器AMP₂の出力端

子に接続され、他方の差動入力端子T₂が定電圧源V₁に接続されている。ディテクタDET₁はクランプパルスCLMPを受け、クランプパルスCLMPがアクティブ期間中に動作する。

【0023】ディテクタDET₁が動作するとき、たとえば、入力端子T₁に入力された信号のレベルが入力端子T₂に印加された定電圧源V₁のクランプ直流電圧V_{DC}より高いとき、ディテクタDET₁によりトランジスタQ₄を導通させる信号を出力して、トランジスタQ₄を導通させる。これにより、ノードND₁にディスチャージ電流が供給され、キャパシタC₁がディスチャージされる。一方、入力端子T₁に入力された信号のレベルが入力端子T₂に印加された定電圧源V₁のクランプ直流電圧V_{DC}より低いとき、ディテクタDET₁により、トランジスタP₅を導通させる信号を出力して、トランジスタP₅を導通させる。これにより、ノードND₁にチャージ電流が供給され、キャパシタC₁がチャージされる。

【0024】ディテクタDET₂は、たとえば、差動入力端子T₂、T₄を有する差動増幅回路によって構成され、一方の差動入力端子T₃がノードND₁に接続され、他方の差動入力端子T₄が定電圧源V₁に接続されている。ディテクタDET₂はクランプパルスCLMPを受け、クランプパルスCLMPが非アクティブのときに動作する。

【0025】ディテクタDET₂が動作するとき、たとえば、入力端子T₃に入力された信号のレベルが入力端子T₄に印加された定電圧源V₁のクランプ直流電圧V_{DC}より低いとき、ディテクタDET₂により、トランジスタP₅を導通させる信号を出力させる信号を出力して、トランジスタP₅を導通させる。これにより、ノードND₁にチャージ電流が供給され、キャパシタC₁がチャージされる。

【0026】図1に示すクランプ回路においては、入力端子T_{IN}に入力された複合映像信号が増幅器AMP₁によって増幅されたあと、キャパシタC₁を介してノードND₁に入力される。ノードND₁の電位V_{ND1}がトランジスタP₅、Q₄およびディテクタDET₁、DET₂により構成されたオフセット調整回路により、定電圧源V₁により設定されたクランプ直流電圧V_{DC}に調整される。

【0027】また、ディテクタDET₁はクランプパルスCLMPに同期して動作を行い、ディテクタDET₂がディテクタDET₁と相互に動作する。すなわち、ディテクタDET₁がクランプパルスCLMPに応じて、クランプパルスCLMPのアクティブのときに動作し、それ以外のとき動作せず、ディテクタDET₂がクランプパルスCLMPがアクティブ状態以外のとき動作する。

【0028】入力端子T_{IN}に同期信号が入力されていな

いとき、ディテクタDET₂は動作し、これによりノードND₁の電位V_{ND1}が定電圧源V₁により設定されたクランプ直流電圧V_{DC}のレベルに設定され、増幅器AMP₂を介して、同期信号出力端子T_Sに出力される。一方、入力端子T_{IN}に同期信号が入力されたとき、クランプパルスCLMPがアクティブのときにディテクタDET₁が動作状態に切り換わり、ディテクタDET₂が非動作状態に切り換わる。

【0029】これにより、クランプパルスCLMPがアクティブのときにおいて、ノードND₁の電位V_{ND1}が定電圧源V₁により設定されたクランプ直流電圧V_{DC}のレベルと略同等のレベルに設定され、増幅器AMP₂により増幅され、出力端子T_Sに出力される。なお、分離された同期信号は、たとえば、後段のコンパレータ(図示せず)に入力され、コンパレータにより、基準電圧V_{TH}と比較され、その結果に応じてシンクパルスSPが発生される。

【0030】図2は本発明に係るクランプ回路100bの一例を示す回路図であり、図1に示すクランプ回路の具体例である。図2に示すように、このクランプ回路は、リーク調整部10、増幅器AMP₂、オフセット調整部20、ディテクタDET₁、ディテクタDET₂によって構成されている。

【0031】リーク調整部10はpnp型トランジスタP₁、P₂、npn型トランジスタQ₁、定電流源I₁によって構成されている。トランジスタQ₁のコレクタが電源電圧V_{CC}の供給線1に接続され、ベースがトランジスタP₁のコレクタに接続され、エミッタは定電流源I₁を介して接地線2に接続されている。トランジスタP₁とP₂のエミッタが電源電圧V_{CC}の供給線1に接続され、ベースが互いに接続され、トランジスタP₁のコレクタに接続されている。すなわち、トランジスタP₁、P₂によって、カレントミラー回路が構成されている。トランジスタP₂のコレクタがノードND₁に接続されている。

【0032】増幅器AMP₂はpnp型トランジスタP₃、P₄、npn型トランジスタQ₂、Q₃および定電流源I₂によって構成されている。トランジスタQ₂のコレクタがトランジスタP₃のコレクタに接続され、ベースがノードND₁に接続され、トランジスタQ₃のコレクタがトランジスタP₄のコレクタに接続され、また、ベースとコレクタが出力端子T_Sに共通に接続されている。トランジスタP₃、P₄はリーク調整部10のトランジスタP₁、P₂と同様にカレントミラー回路を構成している。トランジスタQ₂とQ₃のエミッタが共通に接続され、接続点が定電流源I₂を介して接地されている。すなわち、トランジスタQ₂とQ₃により、差動增幅回路が構成され、差動增幅回路の一方の入力端子がノードND₁に接続され、他方の入力端子が出力端子T_Sに接続されている。

【0033】オフセット調整部20はpnp型トランジスタP₅、P₆、npn型トランジスタQ₄、Q₅によって構成されている。トランジスタP₅のコレクタがノードND₁に接続され、さらにトランジスタQ₄を介して接地されている。トランジスタP₆のコレクタがトランジスタQ₅を介して接地されている。トランジスタP₅、P₆がカレントミラー回路を構成している。

【0034】ディテクタDET₁は定電流源I₃、pnp型トランジスタP₇、P₈、npn型トランジスタQ₆、Q₇によって構成されている。トランジスタP₇、P₈のエミッタが共通に接続され、接続点が定電流源I₃を介して、電源電圧V_{CC}の供給線1に接続されている。トランジスタP₇のベースが出力端子T_Sに接続され、トランジスタP₈のベースが定電圧源V₁に接続されている。トランジスタP₇のコレクタがトランジスタQ₆を介して接地され、トランジスタP₈のコレクタがトランジスタQ₇を介して接地されている。すなわち、トランジスタP₇とP₈によって差動増幅回路が構成され、差動増幅回路の一方の入力端子が出力端子T_Sに接続され、他方の入力端子が定電圧源V₁に接続されている。また、トランジスタQ₆とオフセット調整部20のトランジスタQ₅によってカレントミラー回路が構成され、トランジスタQ₇とオフセット調整部20のトランジスタQ₄によってカレントミラー回路が構成されている。

【0035】ディテクタDET₂は定電流源I₄、pnp型トランジスタP₉、P₁₀、npn型トランジスタQ₉によって構成されている。トランジスタP₉とP₁₀のエミッタが共通に接続され、接続点が定電流源I₄を介して電源電圧V_{CC}の供給線1に接続され、トランジスタP₉のベースが出力端子T_Sに接続され、コレクタがトランジスタQ₉を介して接地されている。トランジスタP₁₀のベースが定電圧源V₁に接続され、コレクタが接地されている。すなわち、トランジスタP₉とP₁₀によって差動増幅回路が構成され、差動増幅回路の一方の入力端子が出力端子T_Sに接続され、他方の入力端子が定電圧源V₁に接続されている。なお、トランジスタQ₉とディテクタDET₁のトランジスタQ₈によってカレントミラー回路が構成されている。

【0036】定電圧源V₁がディテクタDET₁、ディテクタDET₂にクランプ直流電圧V_{DC}を供給し、定電流源I₂は増幅器AMP₂に定電流(i₂=i)を供給し、定電流源I₁はリーク調整部10のトランジスタQ₁のエミッタに定電流(i₁=i/2-x)を供給する。ここでは、xは微小な電流値を示している。

【0037】ディテクタDET₁の定電流源I₃はクランプパルスCLMPのアクティブ期間中に定電流i_cを供給し、それ以外の時間に定電流の供給が停止する。ディテクタDET₂の定電流源I₄は定電流源I₃と同様に定電流i_cを供給するが、定電流源I₃と相互に動作

する。すなわち、クランプパルスCLMPがアクティブ以外のとき、定電流 i_c を供給し、クランプパルスCLMPがアクティブ期間中に定電流の供給を停止させる。

【0038】図3はノードND₁の電圧V_{ND1}を示す波形図である。以下、図2に示す回路図および図3に示す波形図を参照しながら、本第1の実施形態のクランプ回路の動作について説明する。まず、同期信号が未入力のときについて説明する。同期信号が入力されていない時、クランプパルスCLMPが非アクティブ状態となり、定電流源I₃により定電流の供給が行われず、定電流源I₄により定電流の供給が行われる。これによって、ディテクタDET₁が動作せず、ディテクタDET₂のみが動作する。

【0039】この状態において、入力端子T_{IN}に入力された複合映像信号がキャパシタC₁を介して、ノードND₁に入力される。出力端子T_Sに出力された同期信号がディテクタDET₁を構成するトランジスタP₇およびディテクタDET₂を構成するトランジスタP₉のベースにそれぞれ入力される。

【0040】ディテクタDET₂においては、トランジスタP₁₀のベースには、定電圧源V₁によってクランプ直流電圧V_{DC}が印加されている。このため、たとえば、出力端子T_Sの電位V_{ND1}がクランプ直流電圧V_{DC}により低い場合、トランジスタP₉が導通状態となり、トランジスタP₉のコレクタに電流*i_{p9}*が流れる。この電流*i_{p9}*がトランジスタQ₈とQ₉により構成されたカレントミラーリー回路によってトランジスタQ₈のコレクタに折り返され、さらに、トランジスタP₅、P₆により構成されたカレントミラーリー回路によってトランジスタP₅のコレクタに折り返される。

【0041】また、このとき、ディテクタDET₁の定電流源I₃に電流が流れず、ディテクタDET₁が動作しないので、トランジスタQ₇には電流は流れない。トランジスタQ₇とカレントミラーリー回路を構成するトランジスタQ₄は非導通状態に保持され、そのコレクタには電流が流れない。このため、トランジスタP₅のコレクタに折り返された電流*i_{p9}*がノードND₁に入力され、キャパシタC₁はこれによってチャージされ、ノードND₁の電位V_{ND1}が上昇する。

【0042】一方、出力端子T_Sの電位V_{ND1}が定電圧源V₁の電圧値V_{DC}より高い場合、トランジスタP₉が非導通状態となり、トランジスタP₁₀が導通状態となる。このため、定電流源I₄によって発生された定電流*i_c*がトランジスタP₉側に流れず、トランジスタP₁₀側に流れ込む。これによって、キャパシタC₁に対するチャージが停止し、ノードND₁の電位V_{ND1}が略クランプ直流電圧V_{DC}レベルに保持される。

【0043】ノードND₁が増幅器AMP₂を構成するトランジスタQ₂のベースに接続されているので、トランジスタQ₂のベース電流によって、キャパシタC₁が

ディスチャージされ、ノードND₁の電位V_{ND1}が徐々に下がっていく傾向がある。ノードND₁の電位V_{ND1}がディテクタDET₂を構成するトランジスタP₁₀のベースに印加された定電圧源V₁の電圧V_{DC}より低くなると、前述したように、トランジスタP₉が導通状態となり、トランジスタP₉のコレクタに電流が流れ始まる。このため、トランジスタP₉の電流がオフセット調整部20を構成するトランジスタP₃のコレクタに折り返され、ノードND₁に入力され、キャパシタC₁がチャージされ、ノードND₁の電位が上昇する。

【0044】図3(a)はノードND₁の電圧V_{ND1}を示している。図示のように、ノードND₁の電圧V_{ND1}がクランプ直流電圧V_{DC}より低いとき、キャパシタC₁がチャージされ、ノードND₁の電圧V_{ND1}が上昇する。一方、トランジスタQ₂のベース電流により、キャパシタC₁がディスチャージされ、ノードND₁の電圧V_{ND1}が徐々に降下するが、定電圧源V₁により設定されたクランプ直流電圧V_{DC}より低くなると、キャパシタC₁がチャージされ、ノードND₁の電圧V_{ND1}が上昇する。

【0045】以上の説明により、入力端子T_{IN}に同期信号が入力されていないとき、動作状態に設定されているディテクタDET₂によって、ノードND₁の電位が定電圧源V₁によって供給されたクランプ直流電圧V_{DC}に設定される。

【0046】次に、同期信号が入力端子T_{IN}に入力された場合について、回路の動作について説明する。なお、ここで、同期信号が負の極性を持つ信号とする。すなわち、クランプ直流電圧V_{DC}でバイアスされたような振幅変動を持った信号である。

【0047】同期信号が入力端子T_{IN}に入力された場合に、入力信号の最下位電位がクランプ直流電圧V_{DC}になるまでキャパシタC₁がチャージされる。図3(b)はキャパシタC₁がチャージされ、同期信号の最下位の部分がクランプ直流電圧V_{DC}に近づく状態を示している。

【0048】クランプ回路の出力端子T_Sの電圧V_Sがクランプ直流電圧V_{DC}に達すると、クランプ回路の次段に接続されたコンパレータ(図示せず)が動作し始めるため、これに応じて、パルス発生回路(図示せず)により、クランプパルスCLMPが発生される。クランプパルスCLMPがアクティブ状態にあるとき、ディテクタDET₁に定電流*i_c*を供給する定電流源I₃が動作状態に設定され、ディテクタDET₂に定電流*i_c*を供給する定電流源I₄が停止状態に切り換えられる。ディテクタDET₁が動作し始めると、本クランプ回路は、ほぼ同期クランプとして動作する。このため、ディテクタDET₁を構成するトランジスタP₇およびP₈がつり合うように動作し、これにより、同期信号のレベルがクランプ直流電圧V_{DC}に持ち上げられる。

【0049】たとえば、同期信号のレベルがクランプ直

流電圧 V_{DC} より高い場合に、ディテクタ D E T₁において、トランジスタ P₇ が非導通状態となり、トランジスタ P₈ が導通状態となる。定電流源 I₃ により発生された定電流 i_c はトランジスタ P₈ 側に流れ込み、トランジスタ Q₇, Q₄ によって構成されたカレントミラー回路により折り返され、また、このとき、トランジスタ P₅, P₆ により構成されたカレントミラー回路にほとんど電流が流れず、トランジスタ Q₄ のコレクタに流れる電流により、キャパシタ C₁ がディスチャージされ、ノード ND₁ の電位が下がる。

【0050】一方、逆に同期信号のレベルがクランプ直流電圧 V_{DC} より低い場合に、ディテクタ D E T₁において、トランジスタ P₇ が導通状態となり、トランジスタ P₈ が非導通状態となる。定電流源 I₃ により発生された定電流 i_c はトランジスタ P₇ 側に流れ込み、トランジスタ Q₅, Q₆ によって構成されたカレントミラー回路により折り返され、さらにトランジスタ P₅, P₆ によって構成されたカレントミラー回路により折り返され、ノード ND₁ に流れ込む。また、このとき、トランジスタ Q₄ に電流がほとんど流れず、キャパシタ C₁ がノード ND₁ に流れ込んだ電流によりチャージされ、ノード ND₁ の電位が上昇する。

【0051】これにより、同期信号のレベルがクランプ直流電圧 V_{DC} に設定される。ここで、同期信号に水平サグを持った信号が入力端子 T_{IN} に入力された場合、ノード ND₁ におけるチャージの時定数が速ければ、水平サグが吸収される。この場合の時定数は、定電流源 I₃ により発生された定電流 i_c の電流値とキャパシタ C₁ の容量により決定される。すなわち、チャージの時定数が 1 H (同期信号の 1 周期分) 以下であれば、クランプパルス CLMP の 1 周期分以内で水平サグが抑制される。

【0052】クランプパルス CLMP が非アクティブの期間中、すなわち、同期信号が終了してから次の同期信号が始まるまでの間、増幅器 AMP₂ において、トランジスタ Q₂ のベース電流がリーク電流として、キャパシタ C₁ がディスチャージされ、ノード ND₁ の電位が引き下がり、出力信号に水平サグがあるようになる。リーク調整部 10 に、増幅器 AMP₂ を構成する定電流源 I₂ の電流 i₁ の半分に等しい電流を発生する定電流源 I₁ が設けられている。定電流源 I₁ により発生された定電流 i₁ がトランジスタ Q₁ のエミッタに流入される。これによって、トランジスタ Q₁ のベース電流が ($i_{Q1B} = i_1 / h_{FE}$) となる。ここで、 h_{FE} はトランジスタ Q₁ の電流増幅率とする。トランジスタ P₁ と P₂ によって構成されたカレントミラー回路により、トランジスタ Q₁ のベース電流 i_{Q1B} がトランジスタ P₂ のコレクタに折り返され、ノード ND₁ に入力されるので、トランジスタ Q₂ のベース電流の補償となる。このように、トランジスタ Q₂ のベース電流によるリークは補償されるので、これに伴うノード ND₁ の電圧の降下もな

くなり、水平サグが抑制される。

【0053】図 3 (c) はリーク電流による水平サグが発生した場合の波形を示し、図 3 (d) はリーク調整回路 10 によってトランジスタ Q₂ のベース電流を補償することにより、リーク電流による水平サグが抑制された同期信号の波形を示している。

【0054】しかし、ノード ND₁ におけるリーク電流がなくなると、ノード ND₁ の電位 V_{ND1} は電源電圧 V_{CC} 側に固定される恐れがある。このような状態になると、ディテクタ D E T₁ が動作状態に設定されることはなくなり、クランプ回路は動作しなくなる。また、ディテクタ D E T₂ においては、トランジスタ P₉ のベースに印加された電圧がクランプ直流電圧 V_{DC} より大きく設定されている限り、トランジスタ P₉ が非導通状態に設定されるので、同期信号分離の動作はしなくなる。

【0055】これを回避するため、リーク調整部 10 においては、定電流源 I₁ の電流値 i₁ は、i₁ / 2 よりわずかに小さい値 (i₁ / 2 - x) とすることで (x は限りなく小さくする)、ノード ND₁ の電位 V_{ND1} が電源電圧 V_{CC} 側へ固定されることが防止される。このため、リーク調整部 10 において、トランジスタ P₂ のコレクタによりノード ND₁ に流れ込む電流値は増幅器 AMP₂ のトランジスタ Q₂ のベース電流よりわずか小さくなり、ノード ND₁ からトランジスタ Q₂ のベースに流れ込む微小なリーク電流により、緩やかにディスチャージされるが、インピーダンスが極めて高いのでキャパシタ C₁ の容量値を小さく設定することが可能であり、たとえば、10 ~ 50 pF に設定することができる。

【0056】以上説明したように、本実施形態によれば、クランプ回路にクランプパルス CLMP アクティブ期間中に動作するディテクタ D E T₁ とクランプパルス CLMP 非アクティブ期間中に動作するディテクタ D E T₂ を設け、同期信号が入力されていないとき、ディテクタ D E T₂ によりクランプ回路の出力レベルをクランプ直流電圧 V_{DC} に設定し、同期信号が入力されたとき、クランプパルス CLMP がアクティブになり、ディテクタ D E T₁ により出力同期信号のレベルをクランプ直流電圧 V_{DC} に設定するので、リーク調整部 10 により水平サグの発生を抑制でき、入力信号のシンク縮みに影響されず、また、キャパシタ C₁ の容量を小さくできることにより、キャパシタ C₁ を IC 内に内蔵できる。その結果、IC の端子数を削減でき、回路構成の簡単化と低消費電力化を図れる。

【0057】第2実施形態

図 4 は図 1 のクランプ回路を採用した同期分離回路の回路図である。図 4において、110 はローバスフィルタ、AMP は増幅器、C₁ はキャパシタ、100a はクランプ回路、120 はコンパレータ、130 はパルス発生回路、V₁, V₂ は定電圧源、T_{IN} は入力端子、T_S は同期信号出力端子、T_{OUT} は同期パルス出力端子をそ

れぞれ示している。

【0058】クランプ回路100aは、たとえば、図2に示す二つのディテクタ、ディテクタDET₁およびディテクタDET₂を有するクランプ回路であり、パルス発生回路130によって発生されたクランプパルスCLMPに応じて、これらの二つのディテクタが相互に動作し、複合映像信号から同期信号を分離し、分離された同期信号を同期信号出力端子T₁に出力する。

【0059】コンパレータ120はクランプ回路100aからの同期信号を定電圧源V₂により設定された基準電圧V_{TH}とを比較し、比較の結果に応じて同期パルスS_Pを発生し、出力端子T_{OUT}に出力する。

【0060】このように構成された同期分離回路においては、入力端子 T_{IN} に入力された複合映像信号がローバスフィルタ 110 を介して、高周波成分が除去されたあと、クランプ回路 100a に入力される。クランプ回路 100a によって、同期信号が分離され、同期信号出力端子 T_S に出力され、さらに次段のコンパレータ 120 に転送される。コンパレータ 120 によって、クランプ回路 100a によって分離された同期信号と定電圧源 V_2 によって設定された基準電圧 V_{TH} とが比較され、比較の結果に応じて、シンクパルス SP が発生され、出力端子 T_{OUT} に出力される。また、シンクパルス SP がパルス発生回路 130 に入力され、これに応じて、クランプパルス CLMP が発生され、クランプ回路 100a に入力される。

【0061】本実施形態によれば、第1の実施形態に示すクランプ回路100aを用いて、複合映像信号から同期信号を分離し、分離された同期信号をコンパレータ120を用いてあらかじめ設定されたしきい値電圧 V_{TH} と比較し、同期信号レベルがしきい値電圧 V_{TH} より高いとき、シンクパルスSPを出し、これに応じてパルス発生回路130によりクランプパルスCLMPを発生し

さらにクランプパルスCLMPによりクランプ回路の動作を制御するので、従来より簡単な回路構成で同期信号の分離を実現でき、入力のシンク縮みに影響されず、精度の高い同期信号が得られる。

【0062】

【発明の効果】以上説明したように、本発明の同期分離回路によれば、入力のシンク縮みに影響されず、ジッターの発生を抑制できる。また、キャパシタの容量を小さくでき、キャパシタをICに内蔵できる。その結果、ICの端子数を削減でき、回路の構成を簡素化でき、消費電力の低減を図れる利点がある。

【図面の簡単な説明】

【図1】本発明に係るクランプ回路の実施形態を示す回路図である。

【図2】第1の実施形態におけるクランプ回路の回路図である。

【図3】第1の実施形態における信号の波形図である。
【図4】本発明に係る同期分離回路の実施形態を示す回路図である。

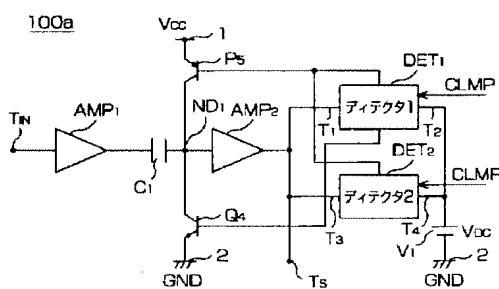
【図5】理想的な同期信号および歪みが発生した場合の同期信号を示す波形図である。

【図6】従来の同期分離回路の一例を示す回路図である。

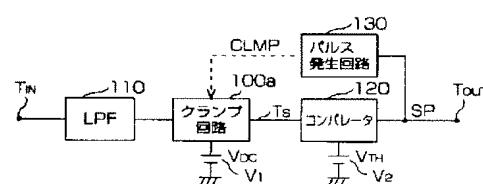
【符量の説明】

1…電源電圧 V_{CC} の供給線、2…接地線、100, 100a, 100b…クランプ回路、10…リーク調整部、20…オフセット調整部、AMP₁, AMP₂…増幅器、DET₁, DET₂…ディテクタ、P₁, P₂, ..., P₁₀…p-n-p型トランジスタ、Q₁, Q₂, ..., Q₉…n-p-n型トランジスタ、I₁, I₂, I₃, I₄…定電流源、ND₁…ノード、T_{IN}…入力端子、T_S, T_{OUT}…出力端子、V_{CC}…電源電圧、GND…接地電位

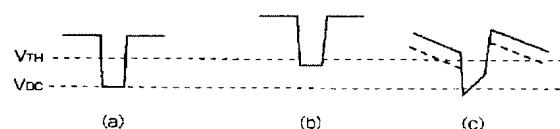
[图1]



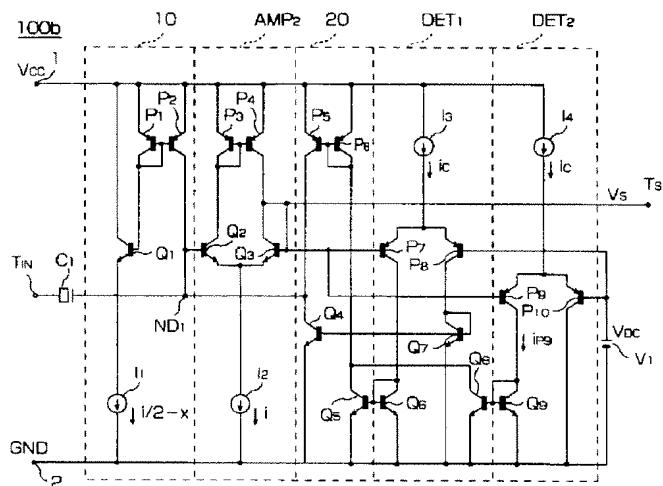
174



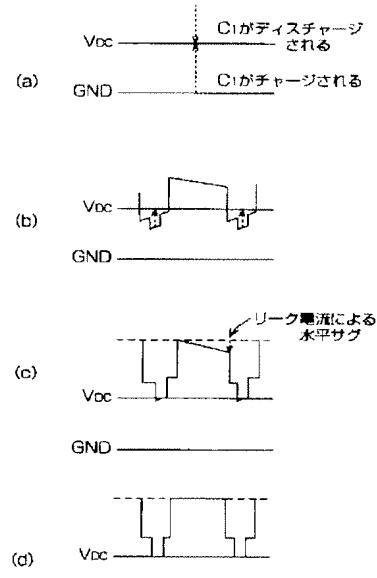
[図5-1]



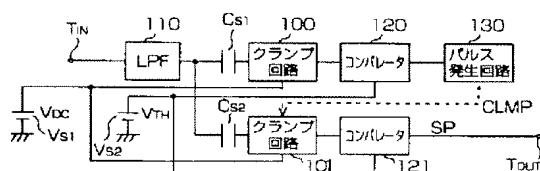
【図2】



【図3】



【図6】



フロントページの続き

(72)発明者 西 剛俊

鹿児島県国分市野口北5番1号 ソニー国
分株式会社内